

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-191434

(43)Date of publication of application : 22.07.1997

(51)Int.Cl.

H04N 5/44

H04N 5/445

(21)Application number : 08-001988

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.01.1996

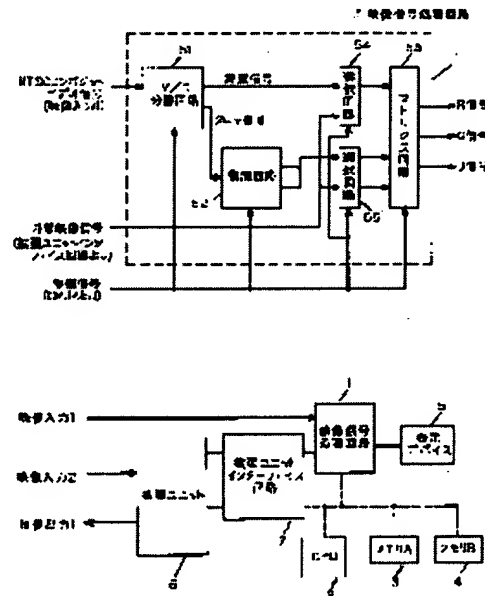
(72)Inventor : NAKAHIGASHI HIDETO
UEHATA HIDEYO
KITAHARA TOSHIAKI
ISHIZU ATSUSHI

(54) TELEVISION RECEIVER AND EXPANSION FUNCTION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To adaptively extend the functions corresponding to various signal forms from the extension device by providing an extension device interface circuit converting an output signal of a serial bus form from the extension function device into an output signal of a parallel bus form.

SOLUTION: A luminance signal, a color difference signal outputted from an extension unit 6 are outputted in a serial bus form to decrease number of interface signal lines between the extension unit 6 and an extension unit integrated circuit 7. The luminance signal and the color difference signal outputted from the unit 6 in serial bus form are converted again into parallel signals in the circuit 7 and given to selection circuits 54, 55 in a video signal processing circuit 1 and selected and given to a matrix circuit 53, in which the signal is converted into an RGB signal. Then a serial parallel conversion circuit of the extension unit interface circuit 7 uses data from a CPU 2 to be programmable and revises the conversion processing program adaptively corresponding to the various serial bus system from the extension unit 6 to extend the functions.



LEGAL STATUS

[Date of request for examination] 08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3528391

[Date of registration] 05.03.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、出力を上記映像信号処理回路に入力することにより新たな処理機能を追加する拡張ユニットとを有することを特徴とするテレビジョン受信機。

【請求項2】 映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、出力を上記映像信号処理回路に入力することにより新たな処理機能を追加する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路とを有することを特徴とするテレビジョン受信機。

【請求項3】 映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、出力を上記映像信号処理回路に入力することにより新たな処理機能を追加する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路と、上記拡張ユニットと上記拡張ユニットインターフェイス回路との信号線の間に挿入し上記拡張ユニットを着脱可能にする拡張スロットとを有することを特徴とするテレビジョン受信機。

【請求項4】 映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記

映像信号処理回路の出力映像信号を表示する表示デバイスと、出力を上記映像信号処理回路に入力することにより新たな処理機能を追加する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路と、上記拡張ユニットと上記拡張ユニットインターフェイス回路との信号線の間に挿入し上記拡張ユニットを着脱可能にする拡張スロットと、上記拡張ユニットに関する各種制御値、オンスクリーンデータ等の表示情報及び上記CPUを介して上記拡張ユニットを制御するプログラムを格納する第3のメモリとを有することを特徴とするテレビジョン受信機。

【請求項5】 送信するデータをシリアルバス形式に変換し外部出力するデータエンコード回路と、上記データエンコード回路を介して外部出力するデータを格納するメモリと、上記データエンコード回路のデータ送信タイミング及び上記メモリの制御を行う制御回路とを有することを特徴とする拡張機能装置。

【請求項6】 入力データをパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路より得られた検出データから補正値を算出し記憶する演算回路と、上記データデコード回路の出力データ及び上記演算回路より得られた補正値を記憶するメモリと、上記メモリに記憶された上記演算回路出力の補正値をシリアルバス形式に変換し出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、および上記データエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置。

【請求項7】 入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路と、上記データデコード回路の出力映像信号及び上記演算回路の演算結果を格納するメモリと、上記メモリから読み出した上記演算回路の演算結果をシリアルバス形式に変換し出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路および上記データエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置。

【請求項8】 入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路と、上記データデコード回路の出力映像信号及び上記演算回路の演算結果を格納するメモリと、上記メモリより読み出した上記演算回路の演算結果をシリアルバス形式に変換し出力する第1のデータエンコード回路と、上記メモリより読み出した上記演算回路の演算結果をシリアルバスデータ

形式に変換し外部機器接続端子に出力する第2のデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、上記第1のデータエンコード回路、上記第2のデータエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置。

【請求項9】 入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、記憶された上記データデコード回路の出力映像信号に対し信号フォーマット変換を行う演算回路と、上記データデコード回路出力及び上記演算回路の演算結果を格納するメモリと、上記メモリより読み出した上記演算回路の演算結果をシリアルバス形式に変換し外部機器接続端子に出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、上記データエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は内部処理回路の制御をCPUを用いて行うテレビジョン受信機に関するものである。

【0002】

【従来の技術】内部処理回路の制御をCPUを用いて行うテレビジョン受信機の従来例を図11に示す。以下図11について説明を行う。

【0003】1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。映像信号処理回路1を、NTSC信号処理回路として以下説明を進める。NTSC信号処理回路の詳細ブロック図を図12に示す。

【0004】ここで、NTSC信号処理回路のブロック図について説明をしておく、51はNTSCコンポジットビデオ信号から輝度信号(Y)とクロマ信号(C)に分離するY/C分離回路、52はクロマ信号を色差信号に復調する復調回路、53は、輝度・色差信号をRGB信号に変換するマトリクス回路である。

【0005】テレビジョン受信機の従来例図11の説明に戻ると、2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ(A)、4はCPUを介して映像信号処理回路を制御プログラムを格納するメモリ(B)である。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイスである。

【0006】以上の構成により、入力されたNTSCコンポジットビデオ信号は映像信号処理回路1内のY/C分離回路51により輝度信号とクロマ信号に分離され、クロマ信号は映像信号処理回路1内の復調回路52により色差信号に変換される。ここで各種制御値が格納され

たメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2により復調回路53を制御し色差信号に対し色相調整を行う。その後、Y/C分離回路51の出力である輝度信号と復調回路52の出力である色差信号から映像信号処理回路1内のマトリクス回路53によりRGB信号に変換される。ここでも各種制御値が格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン表示データが格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2によりオンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0007】

【発明が解決しようとする課題】しかしながら上記従来の構成では、以下のような課題を有している。

【0008】(課題1)使用者が要望するテレビジョン受信機の仕様は多岐に渡り、その要望に的確に対応するためには、多数の機種を開発する必要がある。テレビジョン受信機製造メーカーでは、その要望に合わせ、共通の処理機能を備えながらも一部の処理機能が異なるテレビジョン受信機を多機種開発しなければならないという課題を有している。

【0009】また、テレビジョン受信機に仕様変更あるいは機能追加が発生した時、テレビジョン受信機の回路構成は最適化を図り実現されているため、受信機の仕様変更に対し回路構成の変更が難しく、またテレビジョン受信機を必要以上の多機能にしておく、使用者の必要としない機能が内蔵されると共に、テレビジョン受信機の価格も高くなるという課題を有している。

【0010】(課題2)テレビジョン受信機を機能拡張する場合、付加する機能が多岐に渡るため、付加する機能ユニットとテレビジョン受信機内部回路とのインターフェイスの種類も多岐に渡り、複数のインターフェイス回路を備えなければならないという課題を有している。

【0011】(課題3)付加機能拡張ユニットを接続したテレビジョン受信機を使用している使用者が、使用条件の変更に伴い、付加機能拡張ユニットの機能変更を希望した場合、再度製造工場での拡張ユニット交換及び改造が必要となり、大きな作業量と日数が発生するという課題を有している。

【0012】(課題4)テレビジョン受信機の機能付加に伴い、テレビジョン受信機の各処理を一括管理、制御しているCPUのプログラム及びオンスクリーン表示情報、各処理の制御パラメータ等、メモリへの蓄積情報の追加、変更が発生し、テレビジョン受信機内に内蔵されているメモリの内容の書き換えを行わなければならないという課題を有している。

【0013】（課題5）テレビジョン受信機の仕様変更に伴い、テレビジョン受信機の各処理を一括管理、制御しているCPUのプログラム及びオンスクリーン表示情報、各処理の制御パラメータ等、メモリの蓄積情報の変更が発生し、テレビジョン受信機内に内蔵されているメモリ内容の書き換えを行わなければならないという課題を有している。

【0014】（課題6）テレビジョン受信機の製造、調整時、テレビジョン受信機内部の映像振幅、色飽和度等各パラメータの値を等しくし、テレビジョン受信機間の均一性を確保するための制御値はテレビジョン受信機毎に異なり、その調整には各テレビジョン受信機の制御初期値における各パラメータの値を測定する測定器と、測定器より読みとった値から上記制御値を算出する計算機と、その制御値をテレビジョン受信機に設定する治具が必要となり、テレビジョン受信機の調整には専用システムと調整マニュアルが必要となるという課題を有している。

【0015】（課題7）使用者がテレビジョン受信機購入後、新放送開始等、新たなアプリケーションに対応する機能追加を希望した場合、セットトップボックス形式で、別途追加機能を実現する製品を購入し接続しなければならず、電源ケーブル、信号ケーブルを始め各種ケーブルの増加、機器の分離に伴う設置場所の増加、各機器独立操作による操作性の悪化等、利便性が低下するという課題を有している。

【0016】（課題8）テレビジョン受信機への付加機能追加ユニット接続により新たに機能を追加した場合、その処理結果をテレビジョン受信機以外のVTR等、関連機器では活用できないという課題を有している。

【0017】（課題9）使用者がテレビジョン受信機購入後、例えばMUSE-NTSC変換器等、テレビジョン受信機で受信、デコード処理した信号を用いて新たな機能を追加することを希望した場合、容易に対応できず、別途セットトップボックス形式で所望の機能を実現する製品を購入し、接続しなければならないという課題を有している。

【0018】

【課題を解決するための手段】上記課題を解決するために本発明のテレビジョン受信機は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、メモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、各種制御値及び表示データを格納する第1のメモリと、CPUを介して映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、出力信号を上記映像信号処理回路に入力することで新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットを有することを特徴としたものである。

る。

【0019】本発明によれば、容易に機能拡張が可能となるテレビジョン受信機を提供できる。

【0020】また本発明によれば、拡張ユニットからの上記種々の信号形式に適応的に対応して機能拡張が可能となるテレビジョン受信機を提供できる。

【0021】また本発明によれば、使用者の要望に応じて拡張ユニットの交換が可能となり、容易に拡張機能変更が可能となるテレビジョン受信機を提供できる。

【0022】また本発明によれば、テレビジョン受信機本体に内蔵されたメモリに変更なく、機能拡張が可能となるテレビジョン受信機を提供できる。

【0023】上記課題を解決するために本発明の拡張機能装置は、上記拡張スロットを介して上記メモリに送信するデータをシリアルバス形式に変換し上記拡張スロットに出力するデータエンコード回路と、上記データエンコード回路を介して上記拡張スロットに送信するデータを格納するメモリと、上記データエンコード回路のデータ送信タイミング及び上記メモリの制御を行う制御回路を有することを特徴としたものである。

【0024】本発明の拡張機能装置によれば、テレビジョン受信機に接続することで、テレビジョン受信機のCPUのプログラム変更等テレビジョン受信機内のメモリ内容変更が発生した時、拡張機能装置70を拡張スロット8を介してテレビジョン受信機に接続し、上記テレビジョン受信機内に内蔵されたメモリ（A）及びメモリ（B）に格納されたデータ内容の変更を容易に行うことが可能となる拡張機能装置を提供できる。

【0025】また本発明によれば、拡張機能装置を用い、テレビジョン受信機1台ごとに異なる調整データを算出し、テレビジョン受信機内のメモリに容易に格納することが可能となる拡張機能装置を提供できる。

【0026】また本発明によれば、各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置で実現可能となり、テレビジョン受信機内に非内蔵の機能を容易に拡張、付加することが可能となる拡張機能装置を提供できる。

【0027】また本発明によれば、各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置73で実現可能となり、テレビジョン受信機内に非内蔵の機能を容易に拡張、付加可能とすると共に拡張機能装置で処理を行った結果を外関連機器に、出力することが可能となる拡張機能装置を提供できる。

【0028】また本発明によれば、MUSE-NTSC変換処理のようにテレビジョン受信機で加工した信号に対し拡張機能装置で更に付加機能を実現し、処理内容を基本機能のみに絞ったテレビジョン受信機に対しても、使用者の要望に応じて容易に機能を付加することが可能となる拡張機能装置を提供できる。

【0029】

【発明の実施の形態】本発明の第1の発明は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、本ユニットの出力を上記映像信号処理回路に入力することにより新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットとを備えるテレビジョン受信機に関するものであり、テレビジョン受信機実現後にも、容易に機能拡張することが可能となるという作用を有する。

【0030】本発明の第2の発明は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、本ユニットの出力を上記映像信号処理回路に入力することにより新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路とを備えたテレビジョン受信機に関するものであり、拡張ユニットからの上記種々の信号形式に適応的に対応して機能拡張を図ることが可能となるという作用を有する。

【0031】本発明の第3の発明は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、本ユニットの出力を上記映像信号処理回路に入力することにより新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路と、上記拡張ユニットと上記拡張ユニットインターフェイス回路との信号線の間に挿入し上記拡張ユニットを着脱可能にする拡張スロットとを備えたテレビジョン受信機に関するものであり、使用者の要望に応じて拡張ユニ

ットの交換が可能となり、容易に拡張機能変更を図ることが可能となるという作用を有する。

【0032】本発明の第4の発明は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、各種制御値及び表示データを格納する第1のメモリと、上記第1のメモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、上記CPUを介して上記映像信号処理回路を制御するプログラムを格納する第2のメモリと、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、本ユニットの出力を上記映像信号処理回路に入力することにより新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットと、上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路と、上記拡張ユニットと上記拡張ユニットインターフェイス回路との信号線の間に挿入し上記拡張ユニットを着脱可能にする拡張スロットと、上記拡張ユニットに関する各種制御値、オンスクリーンデータ等の表示情報及び上記CPUを介して上記拡張ユニットを制御するプログラムを格納する第3のメモリとを備えたテレビジョン受信機に関するものであり、テレビジョン受信機に内蔵されたメモリに変更なく、機能拡張を図ることが可能となるという作用を有する。

【0033】本発明の第5の発明は、送信するデータをシリアルバス形式に変換し外部出力するデータエンコード回路と、上記データエンコード回路を介して外部出力するデータを格納するメモリと、上記データエンコード回路のデータ送信タイミング及び上記メモリの制御を行う制御回路とを有することを特徴とする拡張機能装置に関するものであり、テレビジョン受信機のプログラム変更等上記テレビジョン受信機内のメモリ内容変更が発生した時、拡張スロットを介して拡張機能装置をテレビジョン受信機に接続し、テレビジョン受信機内に内蔵された各種制御値及び表示データを格納するメモリ及び、CPUを介して映像信号処理回路を制御するプログラムを格納するメモリの内容変更を容易に行うことが可能となるという作用を有する。

【0034】本発明の第6の発明は、入力データをパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路より得られた検出データから補正値を算出し記憶する演算回路と、上記データデコード回路の出力データ及び上記演算回路より得られた補正値を記憶するメモリと、上記メモリに記憶された上記演算回路出力の補正値をシリアルバス形式に変換し出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、および上記データエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置に関するものであり、テレビジ

ョン受信機に接続することテレビジョン受信機 1 台ごとに異なる調整データの算出、テレビジョン受信機内のメモリへの算出値の格納を容易に行うことが可能となるという作用を有する。

【0035】本発明の第7の発明は、入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路と、上記データデコード回路の出力映像信号及び上記演算回路の演算結果を格納するメモリと、上記メモリから読み出した上記演算回路の演算結果をシリアルバス形式に変換し出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路および上記データエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置に関するものであり、テレビジョン受信機に接続すること各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置で実現可能となり、テレビジョン受信機に非内蔵の機能を容易に拡張、付加することが可能となるという作用を有する。

【0036】本発明の第8の発明は、入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、上記データデコード回路の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路と、上記データデコード回路の出力映像信号及び上記演算回路の演算結果を格納するメモリと、上記メモリより読み出した上記演算回路の演算結果をシリアルバス形式に変換し出力する第1のデータエンコード回路と、上記メモリより読み出した上記演算回路の演算結果をシリアルバスデータ形式に変換し外部機器接続端子に出力する第2のデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、上記第1のデータエンコード回路、上記第2のデータエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置に関するものであり、テレビジョン受信機に接続することで、各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置で実現可能となり、テレビジョン受信機に非内蔵の機能を容易に拡張、付加可能とすると共に拡張機能装置で処理した結果を外部関連機器に、出力することが可能となるという作用を有する。

【0037】本発明の第9の発明は、入力される映像信号をパラレルバス形式に変換し記憶するデータデコード回路と、記憶された上記データデコード回路の出力映像信号に対し信号フォーマット変換を行う演算回路と、上記データデコード回路出力及び上記演算回路の演算結果を格納するメモリと、上記メモリより読み出した上記演算回路の演算結果をシリアルバス形式に変換し外部機器接続端子に出力するデータエンコード回路と、上記データデコード回路、上記メモリ、上記演算回路、上記デー

タエンコード回路の各制御信号を発生する制御回路とを有することを特徴とする拡張機能装置に関するものであり、MUSE-NTSC変換処理のようにテレビジョン受信機で加工した信号に対し拡張機能装置で更なる付加機能を実現し、処理内容を基本機能のみに絞ったテレビジョン受信機に対しても、使用者の要望に応じて容易に機能を付加することが可能となるという作用を有する。

【0038】（実施の形態1）図1は本発明の実施の形態1におけるテレビジョン受信機のブロック図を示す。

【0039】図1において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。本実施の形態では、映像信号処理回路1を、NTSC信号処理回路として以下説明を進める。

【0040】NTSC信号処理回路の詳細ブロック図を図2に示す。ここで、NTSC信号処理回路のブロック図について説明をしておく、51はNTSCコンポジットビデオ信号から輝度信号とクロマ信号に分離するY/C分離回路、52はクロマ信号を色差信号に復調する復調回路、53は、輝度・色差信号をRGB信号に変換するマトリクス回路、54はマトリクス回路53へ出力する輝度信号を、Y/C分離回路51の出力輝度信号または外部より入力される輝度信号より選択する選択回路、55はマトリクス回路53へ出力する色差信号を復調回路52の出力色差信号または外部より入力される色差信号より選択する選択回路である。

【0041】本発明の実施の形態である図1において、2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリである。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、6は出力信号を映像信号処理回路1に入力することにより受信機に新たな処理機能を追加することができる拡張ユニットである。

【0042】以上の構成により、入力信号としてNTSCコンポジットビデオ信号が選択された場合、NTSCコンポジットビデオ信号は映像信号処理回路1に入力され、まず映像信号処理回路1内のY/C分離回路51により輝度信号とクロマ信号に分離され、そしてクロマ信号は映像信号処理回路1内の復調回路52により色差信号に変換される。ここで各種制御値が格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2により復調回路53を制御し色差信号に対し色相調整を行う。その後、Y/C分離回路51の出力である輝度信号と復調回路52の出力である色差信号はそれぞれ選択回路54、55に入力され選択された後、マトリクス回路53によりRGB信号に変換される。ここでも各種制御値が格納されたメモリ

(A) 3及び、制御プログラムが格納されたメモリ
(B) 4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン表示データが格納されたメモリ(A) 3及び、制御プログラムが格納されたメモリ(B) 4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0043】また、テレビジョン受信機の処理選択として拡張ユニット6が選択された場合、拡張ユニット6では多画面表示、フリーズ、ストロボなどの特殊再生等、所望の処理が行われ、出力信号形式として、NTSC方式の輝度、色差信号に変換され、出力される。出力された輝度、色差信号はそれぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。

【0044】またここで、各種制御値が格納されたメモリ(A) 3及び、制御プログラムが格納されたメモリ(B) 4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン表示データが格納されたメモリ(A) 3及び、制御プログラムが格納されたメモリ(B) 4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0045】(実施の形態2) 図3は本発明の実施の形態2におけるテレビジョン受信機のブロック図を示す。

【0046】図3において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。本実施の形態において映像信号処理回路1を、NTSC信号処理回路として以下説明を進める。NTSC信号処理回路の詳細ブロック図については、(実施の形態1)で説明した図2と同一の場合とする。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリである。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、6は本ユニットの出力を映像信号処理回路1に入力することにより受信機に新たな処理機能を追加することができる拡張ユニットであり、ここまでは(実施の形態1)で示した構成と同一である。

【0047】また、7は拡張ユニット6からのシリアルバス形式の出力信号に対してシリアルパラレル変換を行うデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路である。

【0048】以上の構成により、拡張ユニット6より出力される輝度・色差信号は拡張ユニット6と拡張ユニットインターフェイス回路7とのインターフェイス信号の本数を低減するため、シリアルバスの形式で出力される。拡張ユニット6より出力されたシリアルバス形式の輝度、色差信号は拡張ユニットインターフェイス回路7で再度パラレル信号に変換され、それぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。ここで、拡張ユニットインターフェイス回路7のシリアルパラレル変換回路はCPU2からのデータによりプログラマブルな構成となっており、拡張ユニット6からの種々のシリアルバス方式に対応して、適応的に変換処理プログラムを変更して変換を行う。

【0049】次に、各種制御値が格納されたメモリ

(A) 3及び、制御プログラムが格納されたメモリ

(B) 4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン表示データが格納されたメモリ(A) 3及び、制御プログラムが格納されたメモリ(B) 4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0050】(実施の形態3) 図4は本発明の実施の形態3におけるテレビジョン受信機のブロック図を示す。

【0051】図4において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。映像信号処理回路1を、NTSC信号処理回路として以下説明を進める。NTSC信号処理回路の詳細ブロック図を図2に示す。NTSC信号処理回路については(実施の形態1)で説明しているため、その説明は省略する。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリである。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、6は本ユニットの出力を映像信号処理回路1に入力することにより受信機に新たな処理機能を追加することができる拡張ユニットである。7は拡張ユニット6からのシリアルバス形式の入力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路である。

【0052】8は拡張ユニット6をテレビジョン受信機から着脱可能とするために拡張ユニット6と拡張ユニットインターフェイス回路7の間に挿入する拡張スロットである。

【0053】以上の構成により、テレビジョン受信機の

処理選択として拡張ユニット6が選択された場合、CPU2は拡張スロット8より拡張ユニット6が接続されているか否かの検出を行い、接続されていない場合、拡張スロット8はその情報をCPU2に送信し、CPU2ではその情報をオンスクリーン表示等の手段により使用者にわかるようにテレビジョン受信機に表示する。拡張ユニット6がテレビジョン受信機に接続されている場合には、拡張ユニット6より付加機能処理後のNTSC方式の輝度、色差信号を拡張スロット8を介して得る。

【0054】また、拡張ユニット6の処理機能が使用者の所望の機能でない場合、拡張ユニット6のみを拡張スロット8より着脱し、所望の処理機能を実現する拡張ユニットを拡張スロット8に挿入し、テレビジョン受信機で視聴できる。拡張ユニット6より出力される輝度・色差信号は拡張ユニット6と拡張ユニットインターフェイス回路7とのインターフェイス信号の本数を低減するため、シリアルバスの形式で出力される。

【0055】拡張ユニット6より出力されたシリアルバス形式の輝度、色差信号は拡張ユニットインターフェイス回路7で再度パラレル信号に変換され、それぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。ここで、拡張ユニットインターフェイス回路7のシリアルパラレル変換回路はCPU2からのデータによりプログラマブルな構成となっており、拡張ユニット6からの種々のシリアルバス方式に対応して、適応的に変換処理プログラムを変更して変換を行う。

【0056】次に、各種制御値が格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン表示データが格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0057】(実施の形態4)図5は本発明の実施の形態4におけるテレビジョン受信機のブロック図を示す。

【0058】図5において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。映像信号処理回路1を、NTSC信号処理回路として以下説明を進める。NTSC信号処理回路の詳細ブロック図を図2に示す。NTSC信号処理回路については(実施の形態1)で説明しているため、その説明は省略する。8は拡張ユニット6をテレビジョン受信機から着脱可能とするために拡張ユニット6と映像信号処理回路1、CPU2、メモリ(A)3、メモリ(B)4との間に挿入する拡張スロットである。9は拡張ユニット6に関する各種制御値、オンスクリーンデータ等の表示

情報、制御値及び上記CPU2を介して上記拡張ユニット6を制御するプログラムを格納するメモリ(C)である。

【0059】以上の構成により、拡張ユニット6の制御は拡張ユニット6の各種制御値及び、制御プログラムが格納されたメモリ(C)9を用いてCPU2により行われる。また、拡張ユニット6の処理機能が使用者の所望の機能でない場合、拡張ユニット6及びメモリ(C)9を拡張スロット8より着脱し、所望の処理機能を実現する拡張ユニット及びメモリを拡張スロット8に挿入し、所望のテレビジョン受信機とすることができ。

【0060】拡張ユニット6より出力された輝度、色差信号はそれぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。

【0061】次に、各種制御値が格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。

【0062】最後に、拡張ユニット6に関するオンスクリーン表示データが格納されたメモリ(C)9及び、制御プログラムが格納されたメモリ(B)4及びメモリ(C)9を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0063】(実施の形態5)図6は本発明の実施の形態5における拡張機能装置を接続したテレビジョン受信機のブロック図を示す。

【0064】図6において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ(A)、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリ(B)である。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、7は拡張機能装置70からのシリアルバス形式の入力信号をパラレルバス形式に変換する拡張ユニットインターフェイス回路、8は拡張機能装置70をテレビジョン受信機から着脱可能とするために拡張機能装置70と拡張ユニットインターフェイス回路7との間に挿入する拡張スロットである。

【0065】拡張機能装置70の構成として、10は拡張スロット6を介してテレビジョン受信機内のメモリ(A)3及びメモリ(B)4に送信するデータをシリアルバス形式に変換し拡張スロット8に出力するデータエンコード回路、11はデータエンコード回路10を介し

て拡張スロット8に送信するデータを格納するメモリ(D)、12はデータエンコード回路10のデータ送信タイミング制御、メモリ(D)11の制御を行う制御回路である。

【0066】以上の構成による本実施の形態の信号処理内容を説明する。拡張機能装置70を拡張スロット8を介してテレビジョン受信機に接続する。次に、拡張機能装置70のメモリ(D)11のデータをテレビジョン受信機内のメモリ(A)3及びメモリ(B)4に転送するモードにテレビジョン受信機の処理モードをCPU2の制御切替により切り替える。その情報を受け、CPU2はメモリ(D)11の内容をメモリ(A)3及びメモリ(B)4に転送するため、メモリ(A)3及びメモリ(B)4にデータ書き込み制御信号を発生する。次にCPU2は制御回路12に転送許可信号を送信し、制御回路12ではその信号をもとにメモリ(D)11への読みだし制御信号を発生、送信する。データエンコード回路10ではメモリ(D)11より読み出したデータをシリアルデータに変換し、拡張スロット8に出力する。

【0067】出力されたデータは拡張ユニットインターフェイス回路7で再度パラレル信号に変換され、メモリ(A)3及びメモリ(B)4にデータを転送し、メモリ(A)3及びメモリ(B)4の内容変更及び内容追加を行う。メモリ(A)3及びメモリ(B)4へのデータ転送完了後は、再度、拡張機能装置をテレビジョン受信機より外し、テレビジョン受信機の処理モードを通常使用モードに戻す。

【0068】(実施の形態6)図7は本発明の拡張機能装置の実施の形態6における拡張機能装置を接続したテレビジョン受信機のブロック図を示す。

【0069】図7において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ(A)、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリ(B)である。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、7は拡張機能装置71からのシリアルバス形式の入力信号をパラレルバス形式に変換を行う拡張ユニットインターフェイス回路、8は拡張機能装置71をテレビジョン受信機から着脱可能とするために拡張機能装置71と拡張ユニットインターフェイス回路7との間に挿入する拡張スロットである。

【0070】拡張機能装置71の構成についてその一例を示す。14は拡張スロットを介して得られるシリアルバス形式のデータをパラレルデータに変換し、メモリに格納するデータデコード回路、13はデータデコード回路14より得られたテレビジョン受信機内の信号振幅等

の検出データからテレビジョン受信機各部の補正値を算出しメモリに格納する演算回路、11はデータデコード回路14の出力データ及び演算回路13より得られた補正値を格納するメモリ(E)、10は演算回路13より得られた補正値をメモリ(E)11より読み出し、シリアルバス形式のデータに変換するデータエンコード回路、12はデータデコード回路14、メモリ(E)11、演算回路13、データエンコード回路10の各制御信号を発生する制御回路である。

【0071】以上の構成による本実施の形態の信号処理内容を説明する。拡張機能装置71を拡張スロット8を介してテレビジョン受信機に接続する。次に、テレビジョン受信機内の信号振幅等のパラメータを調整するモードにテレビジョン受信機の処理モードを切り替える。その情報を受け、CPU2は映像信号処理回路1より各パラメータの値を測定し、拡張ユニットインターフェイス回路7及び拡張スロット8を介して、シリアルデータ形式としてデータデコード回路14に出力する。同時にCPU2はデータ送信開始を知らせる送信フラグを制御回路12に送り、制御回路12ではその情報を受け、データデコード回路14に制御信号を発生しデータデコード回路14はシリアルデータ形式のCPU2からの各パラメータの測定値をパラレルデータに変換しメモリ(E)11に書き込む。

【0072】次に、演算回路13ではメモリ(E)11に書き込まれたテレビジョン受信機の各パラメータの測定値を読み出し、各パラメータ値が適正値になるように各パラメータの補正値を算出し、得られた補正値を再度、メモリ(E)11に書き込む。この時のメモリ

(E)11の読み出し制御信号及び書き込み制御信号は全て、制御回路12により発生される。その後、メモリ(E)11に書き込まれた各パラメータの補正データをデータエンコード回路10に入力し、シリアルデータ形式で出力された上記補正データは拡張スロット8を介して拡張ユニットインターフェイス回路7に入力され、CPU2により制御値情報としてメモリ(A)3に書き込まれる。

【0073】全てのパラメータの測定、補正値の算出、メモリ(A)3への書き込みが終了した後、拡張機能装置をテレビジョン受信機より外し、テレビジョン受信機の処理モードを通常使用モードに戻す。この時、各補正値はメモリ(A)3に格納された値を使用し、この補正値をもとにCPU2が映像信号処理回路1を制御する。

【0074】(実施の形態7)図8は本発明の実施の形態7における拡張機能装置を接続したテレビジョン受信機のブロック図を示す。

【0075】図8において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスク

リーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリである。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、7は拡張機能装置72からのシリアルバス形式の入力信号をパラレルバス形式に変換する拡張ユニットインターフェイス回路、8は拡張機能装置72をテレビジョン受信機から着脱可能とするために拡張機能装置72と拡張ユニットインターフェイス回路7との間に挿入する拡張スロットである。

【0076】次に、拡張機能装置72の構成を説明する。14は入力される映像信号をパラレルバス形式に変換しメモリに格納するデータデコード回路、13は上記メモリに格納されたデータデコード回路14の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路、11はデータデコード回路14の出力データ及び演算回路13の演算結果を格納するメモリ(F)、10はメモリ(F)11より読み出した演算回路13の演算結果をシリアルバス形式に変換し拡張スロット8に出力するデータエンコード回路、12はデータデコード回路14、メモリ(F)11、演算回路13、データエンコード回路10の各制御信号を発生する制御回路である。

【0077】以上の構成による本実施の形態の処理内容を説明する。拡張機能装置72を拡張スロット8を介してテレビジョン受信機に接続する。そして、テレビジョン受信機の処理選択として拡張機能装置72が選択された場合、外部からの入力映像信号はデータデコード回路14を介してメモリ(F)11に格納される。演算回路13ではデコード処理前の映像信号をメモリ(F)11より読み出し、多画面表示、フリーズ、ストロボなどの特殊再生等、所望のデコード処理を行い、デコード処理後の映像信号を輝度・色差信号形式に変換し、再度メモリ

(F)11に格納する。そして、データエンコード回路10によりメモリ(F)11に格納された演算回路13の演算結果である輝度・色差は拡張スロット8とのインターフェイス信号の本数低減のため、シリアルバス形式に変換され、拡張スロット8を介して拡張ユニットインターフェイス回路7に出力される。拡張スロット8を介してデータエンコード回路10より入力されたシリアルバス形式の輝度・色差信号は拡張ユニットインターフェイス回路7で再度パラレル信号に変換され、映像信号処理回路1内のそれぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。次に、各種制御値が格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。最後に、オンスクリーン

表示データが格納されたメモリ(A)3及び、制御プログラムが格納されたメモリ(B)4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0078】(実施の形態8)図9は本発明の実施の形態8における拡張機能装置73を接続したテレビジョン受信機のブロック図を示す。

【0079】図9において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ(A)、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリ(B)である。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、7は拡張機能装置73からのシリアルバス形式の入力信号をパラレルバス形式に変換する拡張ユニットインターフェイス回路、8は拡張機能装置73をテレビジョン受信機から着脱可能とするために拡張機能装置73と拡張ユニットインターフェイス回路7との間に挿入する拡張スロットである。

【0080】次に、拡張機能装置73について説明を行う。14は入力される映像信号をパラレルバス形式に変換しメモリに格納するデータデコード回路、13は上記メモリに格納されたデータデコード回路14の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路、11はデータデコード回路14の出力データ及び演算回路13の演算結果を格納するメモリ(G)、15はメモリ(G)11より読み出した演算回路13の演算結果をシリアルバス形式に変換し拡張スロット8に出力する第1のデータエンコード回路、16はメモリ(G)11より読み出した演算回路13の演算結果をシリアルバスデータ形式に変換し外部機器接続端子に出力する第2のデータエンコード回路、12はデータデコード回路14、メモリ(G)11、演算回路13、第1のデータエンコード回路15、第2のデータエンコード回路16の各制御信号を発生する制御回路である。

【0081】以上の構成による本実施の形態の処理内容を説明する。拡張機能装置73を拡張スロット8を介してテレビジョン受信機に接続する。そして、テレビジョン受信機の処理選択として拡張機能装置73が選択された場合、外部からの入力映像信号はデータデコード回路14を介してメモリ(G)11に格納される。演算回路13ではデコード処理前の映像信号をメモリ(G)11より読み出し、多画面表示、フリーズ、ストロボなどの特殊再生等、所望のデコード処理を行い、デコード処理

後の映像信号を輝度・色差信号形式に変換し、再度メモリ（G）11に格納する。そして、第1のデータエンコード回路15によりメモリ（G）11に格納された演算回路13の演算結果である輝度・色差は拡張スロット8とのインターフェイス信号の本数低減のため、シリアルバス形式に変換され、拡張スロット8を介して拡張ユニットインターフェイス回路7に出力される。

【0082】一方、第2のデータエンコード回路16により、メモリ（G）11に格納された演算回路13の演算結果である輝度・色差信号は外部機器に出力するためにシリアルバス形式に変換され、外部機器接続端子に出力される。拡張スロット8を介して第1のデータエンコード回路15より入力されたシリアルバス形式の輝度、色差信号は拡張ユニットインターフェイス回路7で再度パラレル信号に変換され、映像信号処理回路1内のそれぞれ映像信号処理回路1内の選択回路54、55に入力され選択された後、マトリクス回路53に入力され、RGB信号に変換される。

【0083】次に、各種制御値が格納されたメモリ（A）3及び、制御プログラムが格納されたメモリ（B）4を用いてCPU2によりマトリクス回路53を制御し、コントラスト、ブライト、色飽和度等の画質調整を行う。

【0084】最後に、オンスクリーン表示データが格納されたメモリ（A）3及び、制御プログラムが格納されたメモリ（B）4を用いてCPU2により入力選択信号等オンスクリーン表示データを発生し、上記画質調整後のRGB映像信号に対し付加し、処理後のRGB信号を表示デバイスに入力し、映像表示を行う。

【0085】（実施の形態9）図10は本発明の実施の形態9における拡張機能装置を接続したテレビジョン受信機のブロック図を示す。

【0086】図10において、1は映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路である。2は映像信号処理回路1に対し色飽和度調整等の各種画質設定を行ったり、映像入力の切替、オンスクリーン表示等の制御を行うCPUである。3は各種制御値及び表示データを格納するメモリ（A）、4はCPUを介して映像信号処理回路を制御するプログラムを格納するメモリ（B）である。5は映像信号処理回路1の出力映像信号として得られたRGB信号を表示する表示デバイス、7は拡張機能装置74からのシリアルバス形式の入力信号をパラレルバス形式に変換する拡張ユニットインターフェイス回路、8は拡張機能装置をテレビジョン受信機から着脱可能とするために拡張機能装置74と拡張ユニットインターフェイス回路7との間に挿入する拡張スロットである。

【0087】次に、拡張機能装置74の構成について説明する。14は入力される映像信号をパラレルバス形式に変換しメモリに格納するデータデコード回路、13は

上記メモリに格納されたデータデコード回路14の出力映像信号に対し方式デコード処理あるいは信号フォーマット変換を行う演算回路、11はデータデコード回路14の出力データ及び演算回路13の演算結果を格納するメモリ（H）、10はメモリ（H）11より読み出した演算回路13の演算結果をシリアルバスデータ形式に変換し外部機器接続端子に出力するデータエンコード回路、12はデータデコード回路14、メモリ（H）11、演算回路13、データエンコード回路10の各制御信号を発生する制御回路である。

【0088】以上の構成による本実施の形態の処理内容を説明する。拡張機能装置74を拡張スロット8を介してテレビジョン受信機に接続する。そして、テレビジョン受信機の処理選択として拡張機能装置74が選択された場合、拡張スロット8を介して拡張機能装置に入力された映像信号はデータデコード回路14を介してメモリ（H）11に格納される。演算回路13ではデータデコード回路14の出力映像信号をメモリ（H）11より読み出し、信号フォーマット変換を行い（例えばMUSE-NTSC処理）、再度メモリ（H）11に格納する。そして、データエンコード回路10によりメモリ（H）11に格納された演算回路13の出力映像信号は外部機器に出力するためにシリアルバス形式に変換され、外部機器接続端子に出力される。

【0089】

【発明の効果】以上のように本発明のテレビジョン受信機は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、メモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、各種制御値及び表示データを格納するメモリ（A）と、CPUを介して映像信号処理回路を制御するプログラムを格納するメモリ（B）と、上記映像信号処理回路の出力映像信号を表示する表示デバイスと、本ユニットの出力を上記映像信号処理回路に入力することにより新たな処理機能を追加することができる処理回路を内蔵する拡張ユニットとを有することにより、容易に機能拡張が可能となり、更に上記拡張ユニットからのシリアルバス形式の出力信号をパラレルバス形式に変換するデコード回路をプログラマブルに変更する拡張ユニットインターフェイス回路を有することにより、拡張ユニットからの種々の信号形式に適応的に対応して機能拡張を図ることが可能となる。

【0090】更に、上記拡張ユニットと上記拡張ユニットインターフェイス回路との信号線の間に挿入し上記拡張ユニットを着脱可能にする拡張スロットを有することにより、使用者の要望に応じて拡張ユニットの交換が可能となり、容易に拡張機能変更を図ることが可能となる。更に、上記拡張ユニットに関する各種制御値、オンスクリーンデータ等の表示情報及び上記CPUを介して

上記拡張ユニットを制御するプログラムを格納するメモリを有することにより、テレビジョン受信機に機能拡張前より内蔵されたメモリに対し内容の変更なく、機能拡張を図ることが可能となる。

【0091】また、以上のように本発明の拡張機能装置は、映像信号を入力とし映像のデコード処理及び表示制御を行う映像信号処理回路と、メモリに格納された各種制御値、表示データ及びプログラムを用いて上記映像信号処理回路の各種設定、制御を行うCPUと、各種制御値及び表示データを格納するメモリ(A)と、CPUを介して映像信号処理回路を制御するプログラムを格納するメモリ(B)と、機能を拡張するための入出力ポートとして用いる拡張スロットと、上記拡張スロットからのシリアルバス形式の入力信号をパラレルバス形式に変換する拡張ユニットインターフェイス回路とを有するテレビジョン受信機において、上記拡張スロットを介して上記メモリ及びBに送信するデータをシリアルバス形式に変換し上記拡張スロットに出力するデータエンコード回路と、上記データエンコード回路を介して上記拡張スロットに送信するデータを格納するメモリ(C)と、上記データエンコード回路のデータ送信タイミング及び上記メモリ(C)の制御を行う制御回路とを有することにより、テレビジョン受信機のプログラム変更等、上記テレビジョン受信機のメモリ内容変更が発生した時、上記構成の拡張機能装置を上記拡張スロットを介してテレビジョン受信機に接続し、上記テレビジョン受信機に内蔵された上記メモリ及びメモリに格納されたデータ内容の変更を容易に行うことが可能となる。

【0092】また、テレビジョン受信機1台ごとに異なる調整データの算出、テレビジョン受信機内のメモリへの調整データの格納を容易に行うことが可能となる。

【0093】また、上記拡張機能装置の代わりに各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置で実現可能となり、テレビジョン受信機内に非内蔵の機能が容易に拡張、付加可能となる。

【0094】また、上記拡張機能装置の代わりに、各種放送方式デコード処理あるいは信号フォーマット変換が拡張機能装置で実現可能となり、テレビジョン受信機に非内蔵の機能が容易に拡張、付加可能となると共に拡張機能装置で処理を行った結果が外部関連機器に出力可能となる。

【0095】また、MUSE-NTSC変換処理のよう

にテレビジョン受信機で加工した信号に対し拡張機能装置で更に付加機能を実現し、処理内容を基本機能のみに絞ったテレビジョン受信機に対しても、使用者の要望に応じて容易に機能を付加することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるテレビジョン受信機のブロック図

【図2】本発明のテレビジョン受信機のNTSC信号処理回路のブロック図

【図3】本発明の第2の実施の形態におけるテレビジョン受信機のブロック図

【図4】本発明の第3の実施の形態におけるテレビジョン受信機のブロック図

【図5】本発明の第4の実施の形態におけるテレビジョン受信機のブロック図

【図6】本発明の第5の実施の形態における拡張機能装置を接続したテレビジョン受信機のブロック図

【図7】本発明の第6の実施の形態における拡張機能装置を接続したテレビジョン受信機のブロック図

【図8】本発明の第7の実施の形態における拡張機能装置を接続したテレビジョン受信機のブロック図

【図9】本発明の第8の実施の形態における拡張機能装置を接続したテレビジョン受信機のブロック図

【図10】本発明の第9の実施の形態における拡張機能装置を接続したテレビジョン受信機のブロック図

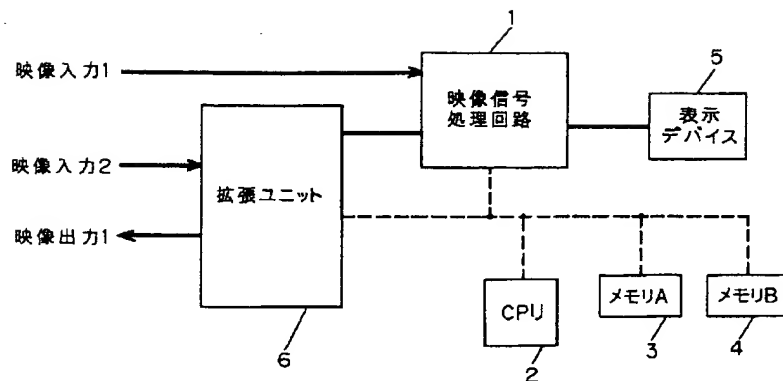
【図11】従来のテレビジョン受信機のブロック図

【図12】従来のテレビジョン受信機のNTSC信号処理回路のブロック図

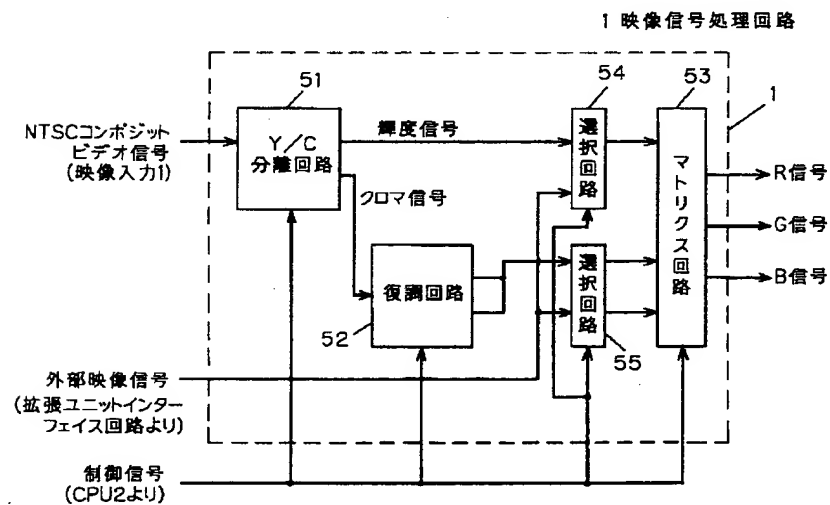
【符号の説明】

- 1 映像信号処理回路
- 2 CPU
- 3, 4, 9, 11 メモリ
- 5 表示デバイス
- 6 拡張ユニット
- 7 拡張ユニットインターフェイス回路
- 8 拡張スロット
- 10, 15, 16 データエンコード回路
- 12 制御回路
- 14 データデコード回路
- 13 演算回路
- 70, 71, 72, 73, 74 拡張機能装置
- 80 テレビジョン受信機

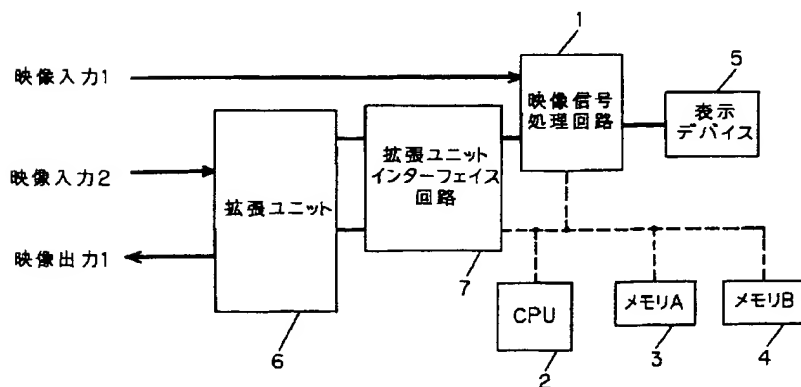
【図1】



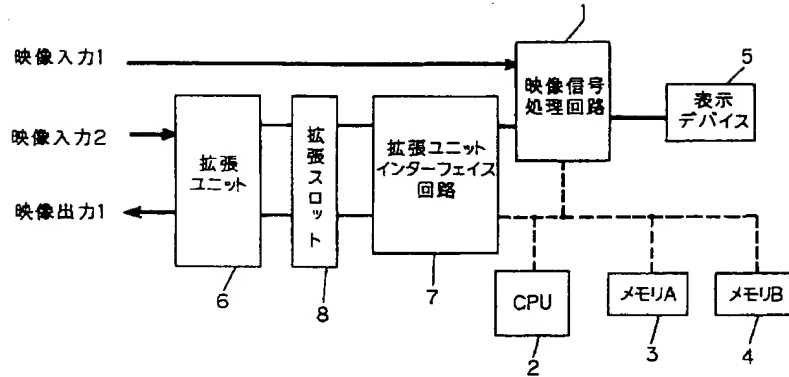
【図2】



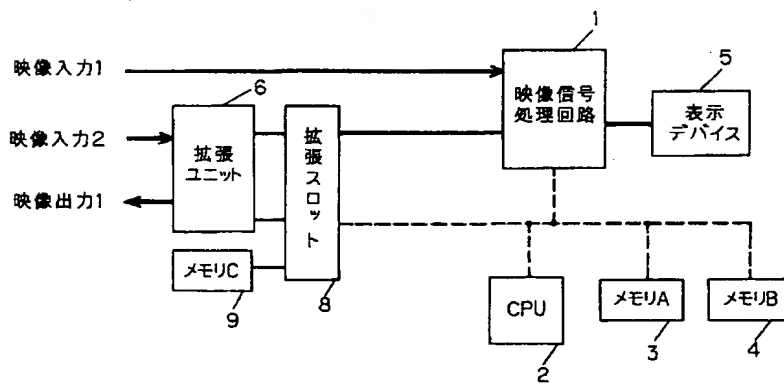
【図3】



【図4】

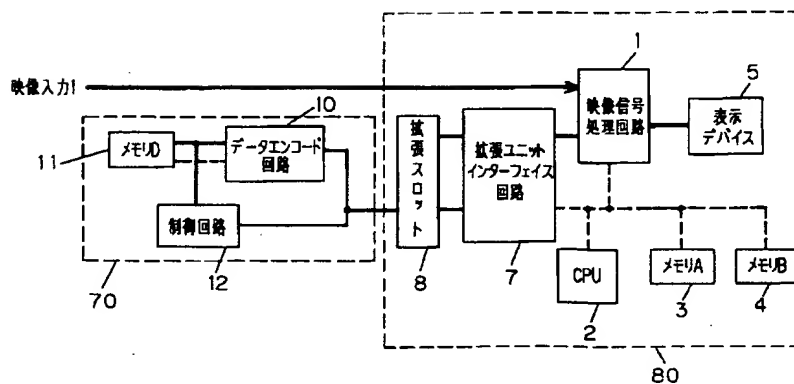


【図5】



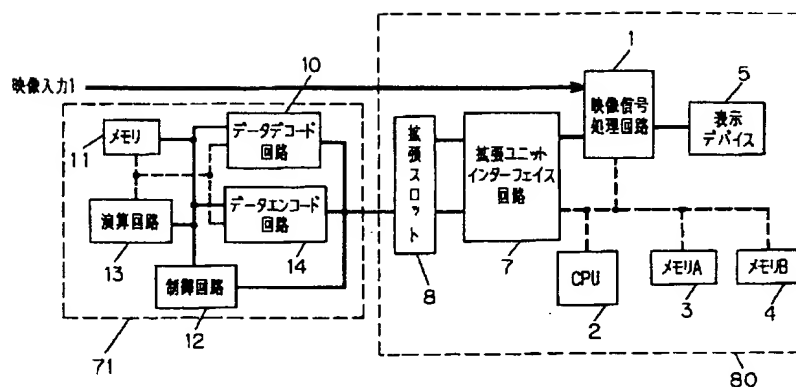
【図6】

70 拡張機能装置
80 テレビジョン受信機



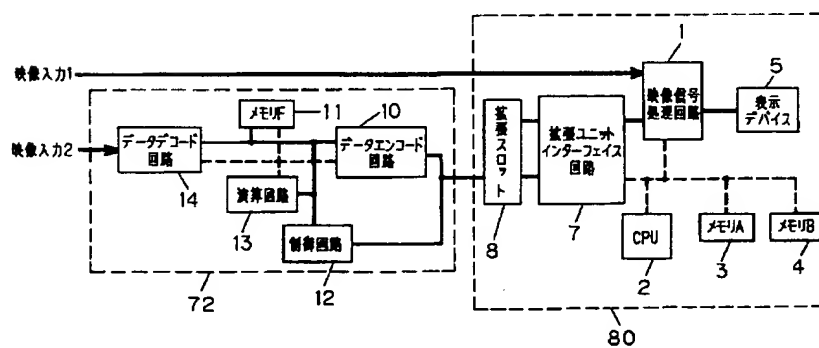
【圖 7】

71 拡張機能装置
80 テレビジョン受信機



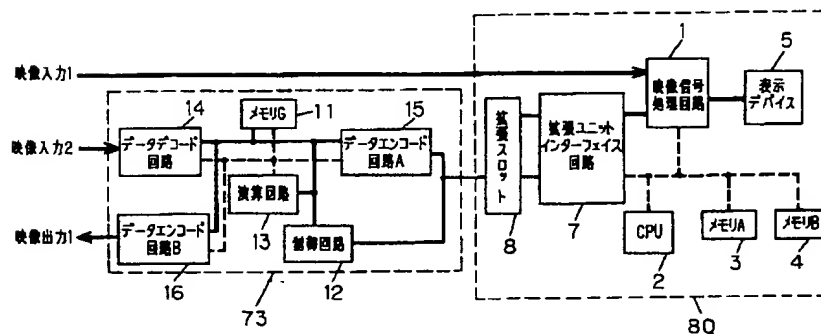
【图8】

72 拡張機能装置
80 テレビジョン受信機

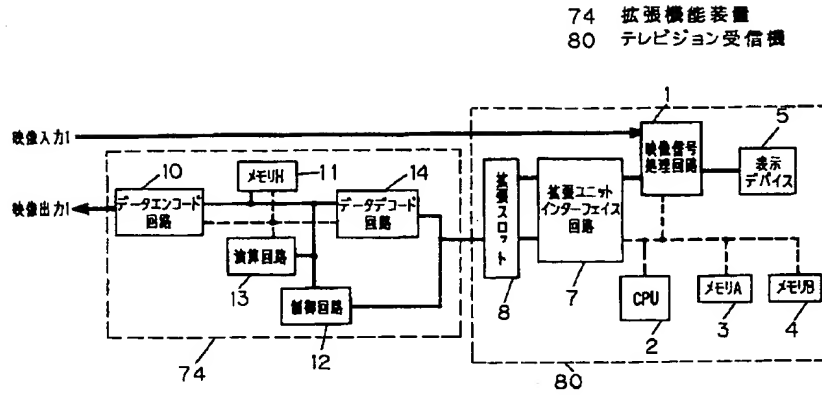


【图9】

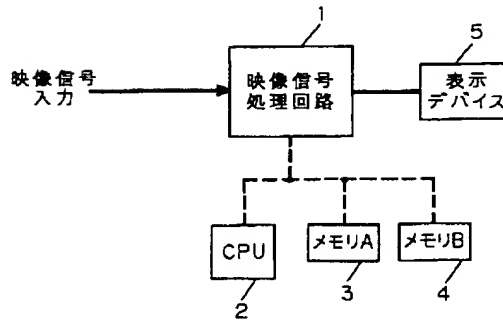
73 拡張機能装置
80 テレビジョン受信機



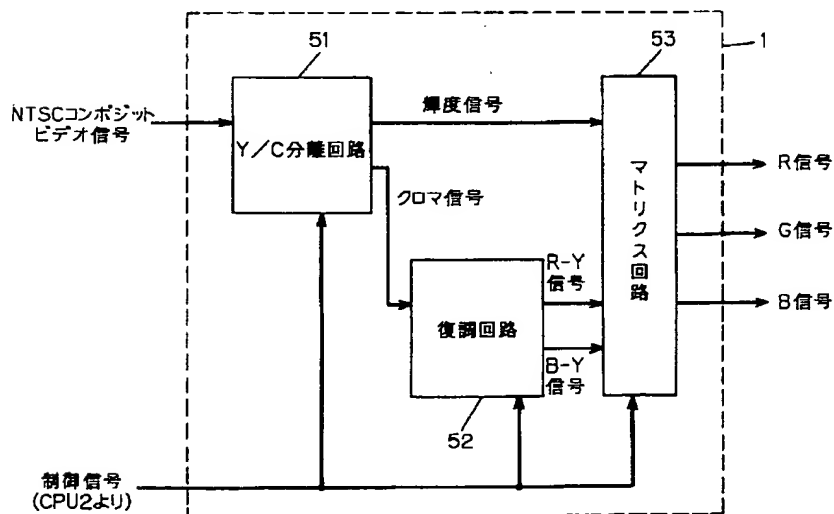
【図10】



【図11】



【図12】



フロントページの続き

(72) 発明者 石津 厚

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-191434

(43)Date of publication of application : 22.07.1997

(51)Int.Cl.

H04N 5/44
H04N 5/445

(21)Application number : 08-001988

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.01.1996

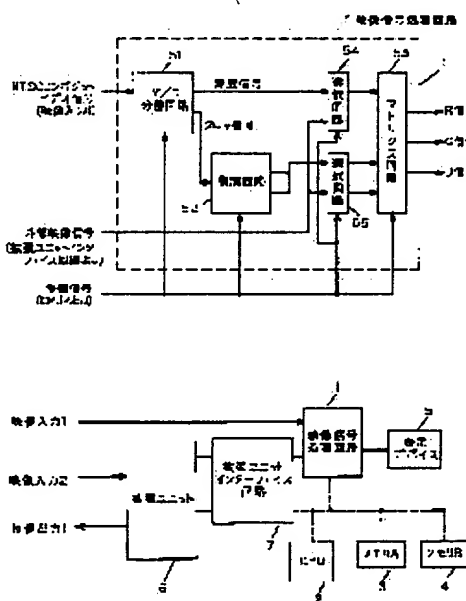
(72)Inventor : NAKAHIGASHI HIDEYO
UEHATA HIDEYO
KITAHARA TOSHIAKI
ISHIZU ATSUSHI

(54) TELEVISION RECEIVER AND EXPANSION FUNCTION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To adaptively extend the functions corresponding to various signal forms from the extension device by providing an extension device interface circuit converting an output signal of a serial bus form from the extension function device into an output signal of a parallel bus form.

SOLUTION: A luminance signal, a color difference signal outputted from an extension unit 6 are outputted in a serial bus form to decrease number of interface signal lines between the extension unit 6 and an extension unit integrated circuit 7. The luminance signal and the color difference signal outputted from the unit 6 in serial bus form are converted again into parallel signals in the circuit 7 and given to selection circuits 54, 55 in a video signal processing circuit 1 and selected and given to a matrix circuit 53, in which the signal is converted into an RGB signal. Then a serial parallel conversion circuit of the extension unit interface circuit 7 uses data from a CPU 2 to be programmable and revises the conversion processing program adaptively corresponding to the various serial bus system from the extension unit 6 to extend the functions.



LEGAL STATUS

[Date of request for examination] 08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3528391

[Date of registration] 05.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office